

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-264581
(43)Date of publication of application : 29.10.1990

(51)Int.Cl. H04N 5/66
G02F 1/133
G09G 3/36

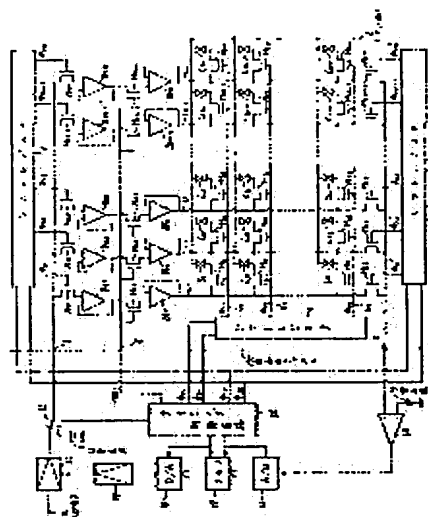
(21)Application number : 01-085394 (71)Applicant : SONY CORP
(22)Date of filing : 04.04.1989 (72)Inventor : MAEKAWA TOSHIICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obtain a satisfactory display picture without fluctuation of the luminance with a simple constitution by superposing the voltage equivalent to the offset onto an input signal.

CONSTITUTION: At the detection of an offset voltage, a switch 12 is set at the side of a voltage source 13 by the signal received from a control circuit 20. Then a reference potential V_{ref} is supplied to a terminal 1 as an input video signal and simultaneously the output signals ϕ_{H1} and ϕ_{Hm} of a shift register 2 are all set at high potentials. In a normal working state, the corresponding addresses of a memory 17 are read out synchronously with the driving pulse signals ϕ_{H1} and ϕ_{Hm} received from the register 2. The read-out digital signal is turned into an analog signal by a D/A converter 18. This analog signal controls the gain of an amplifier 11. Consequently, the offset voltage is superposed on a video signal in the negative direction and the video signal of a fixed level is corrected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-264581

⑮ Int. Cl.⁵

H 04 N 5/66
G 02 F 1/133
G 09 G 3/36

識別記号

1 0 2 Z
5 5 0

庁内整理番号

7605-5C
8708-2H
8621-5C

⑬ 公開 平成2年(1990)10月29日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 液晶ディスプレイ装置

⑯ 特 願 平1-85394

⑰ 出 願 平1(1989)4月4日

⑱ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 液晶ディスプレイ装置

特許請求の範囲

垂直方向に平行に配設された複数の第1の信号線と、水平方向に平行に配設された複数の第2の信号線とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して液晶セルが設けられてなる液晶ディスプレイ装置において、基準電位を入力映像信号として入力する手段と、各上記信号線に発生するオフセット電圧を順次読出す手段と、

この読出されたオフセット電圧を上記信号線と対応させて記憶する手段とを有し、

選択される上記信号線に応じて上記記憶手段から上記オフセット電圧を読出してこの読出された上記オフセット電圧に相当する電圧を上記入力映像信号に重畳するようにしたことを特徴とする液晶ディスプレイ装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えば液晶表示素子をX-Yマトリクス状に配置して画像の表示を行う液晶ディスプレイ装置に関する。

〔発明の概要〕

本発明は液晶ディスプレイ装置に関し、基準電位を供給して各信号線に生じるオフセット電圧を検出し、このオフセット電圧を記憶し、この記憶されたオフセット電圧を読出して映像信号に重畳することにより、オフセット電圧による輝度むらを無くして良好な画像の表示が行われるようにしたものである。

〔従来の技術〕

例えば液晶を用いてテレビ画像を表示することが提案(特開昭59-220793号公報等参照)されている。

すなわち第3図において、(1)はテレビの映像信号が供給される入力端子で、この入力端子(1)からの信号がそれぞれ例えばNチャンネルFETから

なるスイッチング素子 $M_{11}, M_{12}, \dots, M_{1n}$ を通じて垂直 (Y 軸) 方向のライン L_1, L_2, \dots, L_n に供給される。なお m は水平 (X 軸) 方向の画素数に相当する数である。さらに m 段のシフトレジスタ (2) が設けられ、このシフトレジスタ (2) に水平周波数の m 倍のクロック信号 ϕ_{1H}, ϕ_{2H} が供給され、このシフトレジスタ (2) の各出力端子からのクロック信号 ϕ_{1H}, ϕ_{2H} によって順次走査される駆動パルス信号 $\phi_{H1}, \phi_{H2}, \dots, \phi_{Hm}$ がスイッチング素子 $M_1 \sim M_m$ の各制御端子に供給される。なおシフトレジスタ (2) には低電位 (V_{SS}) と高電位 (V_{DD}) が供給され、この 2 つの電位の駆動パルスが形成される。

また各ライン $L_1 \sim L_n$ にそれぞれ例えば N チャンネル FET からなるスイッチング素子 $M_{11}, M_{21}, \dots, M_{n1}, M_{12}, M_{22}, \dots, M_{n2}, \dots, M_{1n}, M_{2n}, \dots, M_{nn}$ の一端が接続される。なお n は水平走査線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{nn}$ の他端がそれぞれ液晶セル $C_{11}, C_{21}, \dots, C_{nn}$ を通じてターゲット端子

そして ϕ_{V1}, ϕ_{H1} が出力されているときは、スイッチング素子 M_1 と $M_{11} \sim M_{1n}$ がオンされ、入力端子 (1) $\rightarrow M_1 \rightarrow L_1 \rightarrow M_{11} \rightarrow C_{11} \rightarrow$ ターゲット端子 (3) の電流路が形成されて液晶セル C_{11} に入力端子 (1) に供給された信号とターゲット端子 (3) との電位差が供給される。このためこのセル C_{11} の容量分に、1 番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル $C_{12} \sim C_{nn}$ について順次行われ、さらに次のフィールドの信号が供給された時点で各セル $C_{11} \sim C_{nn}$ の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セル $C_{11} \sim C_{nn}$ の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

さらに液晶で表示を行う場合には、一般にその信頼性、寿命を長くするため交流駆動が用いられる。例えばテレビ画像の表示においては、1 フィールドまたは 1 フレームごとに映像信号を反転させた信号を入力端子 (1) に供給する。また液晶ディ

(3) に接続される。

さらに n 段のシフトレジスタ (4) が設けられ、このシフトレジスタ (4) に水平周波数のクロック信号 ϕ_{1V}, ϕ_{2V} が供給され、このシフトレジスタ (4) の各出力端子からのクロック信号 ϕ_{1V}, ϕ_{2V} によって順次走査される駆動パルス信号 $\phi_{V1}, \phi_{V2}, \dots, \phi_{Vn}$ が、水平 (X 軸) 方向のゲート線 G_1, G_2, \dots, G_n を通じてスイッチング素子 $M_{11} \sim M_{nn}$ の X 軸方向の各列 ($M_{11} \sim M_{1n}$), ($M_{21} \sim M_{2n}$), \dots ($M_{n1} \sim M_{nn}$) ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ (4) にもシフトレジスタ (2) と同様に V_{SS} と V_{DD} が供給される。

すなわちこの回路において、シフトレジスタ (2), (4) には第 4 図 A, B に示すようなクロック信号 $\phi_{1H}, \phi_{2H}, \phi_{1V}, \phi_{2V}$ が供給される。そしてシフトレジスタ (2) からは同図 C に示すように各画素期間ごとに $\phi_{H1} \sim \phi_{Hm}$ が出力され、シフトレジスタ (4) からは同図 D に示すように 1 水平期間ごとに $\phi_{V1} \sim \phi_{Vn}$ が出力される。さらに入力端子 (1) には同図 E に示すような信号が供給される。

スプレイ装置においては表示の垂直方向のシェーディング等を防止する目的で信号を 1 水平期間ごとに反転することが行われている。すなわち入力端子 (1) には第 4 図 E に示すように 1 水平期間ごとに反転されると共に 1 フィールドまたは 1 フレームごとに反転された信号が供給される。

ところでこのような装置において、シフトレジスタ (2) から出力される駆動パルス信号 $\phi_{H1} \sim \phi_{Hm}$ の時間幅は

水平有効画面期間の時間

水平画素数

で決められ、例えば NTSC 方式の場合には 100nsec 程度ある。これに対して例えばハイビジョンに適用した場合には、水平有効画面期間の時間が約

$\frac{1}{2}$ となり、水平画素数が約 3 倍となるために、

上述のパルスの時間幅は約 $\frac{1}{6}$ に短縮されてしま

う。

一方この駆動パルス信号 $\phi_{H1} \sim \phi_{Hm}$ の期間にス

スイッチング素子 $M_1 \sim M_m$ を通過された信号はライン $L_1 \sim L_m$ を通じてスイッチング素子 $M_{11} \sim M_{mm}$ に供給されるが、この場合にライン $L_1 \sim L_m$ には10～数10pFの配線容量が存在し、従って信号はこの容量を充電してスイッチング素子 $M_{11} \sim M_{mm}$ に供給されることになる。

そしてこの場合に、上述の充電は信号の供給時間が100nsec程度あれば信号電位まで立ち上げられるものの、この時間が $\frac{1}{6}$ に短縮されると信

号が高電位（白または黒）のときに充電が充分に行われず、コントラスト等の不足した不鮮明な表示画像しか得られないおそれが生じた。なおハイビジョンの場合には配線容量もさらに増大することになる。

〔発明が解決しようとする課題〕

これに対して、入力映像信号を駆動パルス $\phi_{x1} \sim \phi_{xm}$ の各期間ごとにサンプリングして並列化し、この並列化された信号を任意のロード期間に一瞬

バッファ回路としてのアンプ $B_{11}, B_{12} \dots B_{1m}$ の非反転入力に供給され、これらのバッファアンプ $B_{11} \sim B_{1m}$ の出力が反転入力に帰還される。これらのバッファアンプ $B_{11} \sim B_{1m}$ からの信号がそれぞれ垂直（Y軸）方向のライン $L_1 \sim L_m$ に供給される。さらに以下の構成は従来の技術で述べた装置と同様にされる。

従ってこの装置において、例えば第6図Aに示すような映像信号が端子(1)に供給された場合に、素子 $M_{11} \sim M_{1m}$ は同図Bに示すように導通され、この導通期間の映像信号がサンプリングされてバッファアンプ $B_{11} \sim B_{1m}$ でホールドされる。これに対して素子 $M_{21} \sim M_{2m}$ が同図Cに示すような水平ブランキングのタイミングで導通され、ホールドされた信号がそれぞれバッファアンプ $B_{21} \sim B_{2m}$ を通じてライン $L_1 \sim L_m$ に供給（ロード）される。以下従来と同様にして画像の表示が行われる。

ところでこの装置において、バッファアンプ $B_{11} \sim B_{1m}$ 及び $B_{21} \sim B_{2m}$ はゲイン1のアンプであって、例えばTFTにて第7図に示すように構成さ

る。図においてNMOS素子 N_1, N_2 からなる差動アンプが設けられ、この一方の素子 N_2 のゲートに信号が入力（Vin）されると共に、素子 N_{11}, N_{12} のドレインがPMOS素子 P_1, P_2 のカレントミラー回路を介して互いに接続されて V_{DD} の電源端子に接続される。この素子 N_2 のドレインがPMOS素子 P_3 のゲートに接続され、この素子 P_3 のドレインが V_{DD} の電源端子に接続されると共に、素子 P_3 のソースがNMOS素子 N_3 のゲートに接続され、素子 N_3 のドレインが V_{DD} の電源端子に接続される。また素子 P_3 のソースがNMOS素子 N_4 のドレインとゲートに接続され、この素子 N_4 のソースがPMOS素子 P_4 のドレインに接続されると共に、素子 P_4 のゲートとソースがPMOS素子 P_5 のゲートに接続され、この素子 P_5 のソースが V_{SS} の電源端子に接続される。そして素子 N_5 のソースと素子 P_5 のドレインが互いに接続され、この接続点が素子 N_1 のゲートに接続されると共に、この接続点から信号が出力（Vout）される。さらに素子 P_5 のソースがNMOS素子 N_6 のゲートに

すなわち第5図において、入力端子(1)に供給される映像信号は水平スイッチ手段を構成するCMOS素子 $M_{11}, M_{12} \dots M_{1m}$ に共通に供給され、これらの素子 $M_{11} \sim M_{1m}$ の制御端子にそれぞれシフトレジスタ(2)からの駆動パルス信号 $\phi_{x1} \sim \phi_{xm}$ が供給される。

これらの素子 $M_{11} \sim M_{1m}$ からの信号がそれぞれホールド手段を構成するバッファアンプ $B_{11}, B_{12} \dots B_{1m}$ の非反転入力に供給され、これらのバッファアンプ $B_{11} \sim B_{1m}$ の出力が反転入力に帰還される。これらのバッファアンプ $B_{11} \sim B_{1m}$ からの信号がそれぞれロード手段を構成するCMOS素子 $M_{21}, M_{22} \dots M_{2m}$ に供給され、これらの素子 $M_{21} \sim M_{2m}$ の制御端子にそれぞれロードパルスとして端子(5)からの水平ブランキングパルス（HBLK）が供給される。

これらの素子 $M_{21} \sim M_{2m}$ からの信号がそれぞれ

れる。図においてNMOS素子 N_1, N_2 からなる差動アンプが設けられ、この一方の素子 N_2 のゲートに信号が入力（Vin）されると共に、素子 N_{11}, N_{12} のドレインがPMOS素子 P_1, P_2 のカレントミラー回路を介して互いに接続されて V_{DD} の電源端子に接続される。この素子 N_2 のドレインがPMOS素子 P_3 のゲートに接続され、この素子 P_3 のドレインが V_{DD} の電源端子に接続されると共に、素子 P_3 のソースがNMOS素子 N_3 のゲートに接続され、素子 N_3 のドレインが V_{DD} の電源端子に接続される。また素子 P_3 のソースがNMOS素子 N_4 のドレインとゲートに接続され、この素子 N_4 のソースがPMOS素子 P_4 のドレインに接続されると共に、素子 P_4 のゲートとソースがPMOS素子 P_5 のゲートに接続され、この素子 P_5 のソースが V_{SS} の電源端子に接続される。そして素子 N_5 のソースと素子 P_5 のドレインが互いに接続され、この接続点が素子 N_1 のゲートに接続されると共に、この接続点から信号が出力（Vout）される。さらに素子 P_5 のソースがNMOS素子 N_6 のゲートに

接続され、この素子 N_1 のドレインが V_{DD} の電源端子に接続されると共に、素子 N_1 のソースがコンデンサ C を介して素子 N_2 のドレインに接続される。なお素子 $N_1 \sim N_4$ はバイアス電流源であって、カレントミラー回路を構成する素子 N_1 を介して定電流源 I の電流が流される。

従ってこの回路において、素子 N_1, N_2, N_3, P_1, P_2 にて初段の高ゲインアンプが構成され、素子 P_3, P_4, N_4, N_5 にて次段アンプ及びレベルシフトが構成され、素子 N_3, P_3 にて出力バッファが構成される。なお素子 N_1, N_4 とコンデンサ C は位相補償回路である。

ところがこのような回路を、上述のバッファアンプ $B_{11} \sim B_{1n}, B_{21} \sim B_{2n}$ として用いた場合に、素子 N_1 と N_2 の間、また素子 P_1 と P_2 の間の特性のばらつき等によって、回路の入出力(V_{in}, V_{out})間にオフセット電圧を生じるおそれがある。なお、上述の素子のばらつきは製造プロセスでは無くすことは極めて困難である。

そしてこのようなオフセット電圧は回路ごとに

とを有し、選択される上記信号線に応じて上記記憶手段から上記オフセット電圧を读出してこの读出された上記オフセット電圧に相当する電圧を上記入力映像信号に重畳(映像アンプ(11))するようにしたことを特徴とする液晶ディスプレイ装置である。

〔作用〕

これによれば、入力信号にオフセットに相当する電圧を重畳して供給することにより、装置内でのオフセット電圧が相殺され、簡単な構成で輝度むら等の無い良好な表示画像を得ることができる。

〔実施例〕

第1図において、鎖線から右側は液晶表示パネル(100)であって、全体は上述の課題で示した装置とほぼ同等に構成されている。このパネル(100)について、各信号ライン $L_1 \sim L_n$ がそれぞれスイッチング素子 $M_{c1}, M_{c2} \dots M_{cn}$ を介して互いに接続され、この接続点から端子(6)が導出さ

異なるために、表示画面上で信号ライン $L_1 \sim L_n$ ごとの輝度むらとなって現われ、表示画像の画質を著しく劣化させてしまうものであった。

この出願はこのような点に鑑みてなされたものである。

〔課題を解決するための手段〕

本発明は、垂直方向に平行に配設された複数の第1の信号線 $L_1, L_2 \dots L_n$ と、水平方向に平行に配設された複数の第2の信号線 $G_1, G_2 \dots G_m$ とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子 $M_{11}, M_{12} \dots M_{nm}$ を介して液晶セル $C_{11}, C_{12} \dots C_{nm}$ が設けられてなる液晶ディスプレイ装置において、基準電位(電圧源(13))を入力映像信号(入力端子(10))として入力する手段(スイッチ(12))と、各上記信号線に発生するオフセット電圧を順次読出す手段(素子 $M_{c1}, M_{c2} \dots M_{cn}$ 、シフトレジスタ(6))と、この読出されたオフセット電圧を上記信号と対応させて記憶する手段(メモリ(17))

れると共に、この素子 $M_{c1} \sim M_{cn}$ の制御端子がそれぞれシフトレジスタ(2)と同等のシフトレジスタ(7)に接続される。

一方、(10)は映像信号の供給される入力端子であって、この端子(10)からの信号が利得制御アンプ(11)を通じてスイッチ(12)に供給され、電圧源(13)からの所定の基準電位 V_{ref} と選択されてパネル(100)の端子(1)に供給される。

またパネル(100)の端子(6)からの信号が差動アンプ(14)の反転入力に供給され、このアンプ(14)の非反転入力に電圧源(15)からの上述と等しい基準電圧 V_{ref} が供給される。このアンプ(14)からの信号がA/D変換器(16)に供給され、デジタル化されたデータがメモリ(17)に書き込まれる。さらにこのメモリ(17)から读出されたデータはD/A変換器(18)でアナログ化され、アンプ(19)を通じてアンプ(11)の利得制御端子に供給される。

さらに(20)はタイミング制御回路であって、この制御回路(20)からの信号 $H_{clk}, \Phi_{1v}, \Phi_{2v}, \Phi_{1h}, \Phi_{2h}$ 等がパネル(100)の各部のスイッチン

グ素子 $M_{c1} \sim M_{cn}$ 、シフトレジスタ(2)(4)(7)等に供給されると共に、この制御回路(20)からの信号にて上述のスイッチ(12)、A/D変換器(16)、メモリ(17)、D/A変換器(18)等が制御される。

従って、この装置において、オフセット電圧の検出時には、制御回路(20)からの信号にてスイッチ(12)が電圧源(13)側に切換られ、基準電位 V_{ref} が入力映像信号として端子(1)に供給されると共に、シフトレジスタ(2)の出力信号 $\phi_{n1} \sim \phi_{nm}$ が全て高電位となるようにされる。なおこのシフトレジスタ(2)の制御はシフトレジスタがD-フリップフロップ型の場合には初段の入力を高電位に固定することによって容易に実施できる。

これによって信号ライン $L_1 \sim L_m$ には基準電位 V_{ref} が供給されるが、このとき各信号ライン $L_1 \sim L_m$ の信号には、それぞれバッファアンプ $B_{s1} \sim B_{sm}$ 、 $B_{v1} \sim B_{vm}$ 等によるオフセット電圧 ΔV_{off} が重畳されている。この信号ライン $L_1 \sim L_m$ の信号が、シフトレジスタ(7)からの駆動パルス信号 $\phi_{n1} \sim \phi_{nm}$ に従って、順次スイッチング

素子 $M_{c1} \sim M_{cn}$ を通じて端子(6)に読出される。

さらにこの端子(6)からの信号が差動アンプ(14)の反転入力に供給され、基準電位 V_{ref} が非反転入力に供給されることによって、アンプ(14)からは上述のオフセット電圧 ΔV_{off} に相当する電位の信号が取出される。この信号がA/D変換器(16)にて上述のパルス信号 $\phi_{n1} \sim \phi_{nm}$ に同期してデジタル化され、このデジタル化信号がメモリ(17)の対応するアドレスに寄込まれる。

そして通常の動作時には、シフトレジスタ(2)からの駆動パルス信号 $\phi_{n1} \sim \phi_{nm}$ に同期してメモリ(17)の対応するアドレスが読出され、読出されたデジタル信号がD/A変換器(18)でアナログ化され、このアナログ信号にてアンプ(11)の利得が制御される。

これによって例えば第2図Aに示すようなオフセット電圧が各信号ライン $L_1 \sim L_m$ に生じていた場合に、このオフセット電圧が映像信号に負方向で重畳され、例えば同図Bに示すような一定レベルの映像信号は同図Cに示すように補正される。

なお映像信号は例えば1水平期間ごとに極性が反転されるが、オフセット電圧の補正は信号の極性反転によらず同じ極性である。そしてこのようなオフセット電圧が負方向に重畳された信号がバッファアンプ $B_{s1} \sim B_{sm}$ 、 $B_{v1} \sim B_{vm}$ を通じることにより、これらの回路によって生じるオフセット電圧が相殺され、信号ライン $L_1 \sim L_m$ にオフセット電圧による変動の除去された信号が供給される。

こうしてこの装置によれば、入力信号にオフセットに相当する電圧を重畳して供給することにより、装置内でのオフセット電圧が相殺され、簡単な構成で輝度むら等の無い良好な表示画像を得ることができるものである。

なお上述の装置において、メモリ(17)には、P-ROM等の不揮発性のものが用いられる。

また上述の装置において、スイッチング素子 $M_{c1} \sim M_{cn}$ からのオフセット電圧の読出しは通常の画素クロックの速度で行う必要はなく、低速にしてA/D変換器(16)等の構成を簡単にすることもで

きる。またメモリ(17)の容量は1Kバイト程度あればよく、全体として簡単な構成で実現することができる。

あるいは充分に高速が可能である場合には、上述の動作を垂直ブランキング期間ごとに繰り返す行うようにしてもよい。

さらに上述の装置は、点順次方式の液晶表示パネルにも適用可能なものである。

(発明の効果)

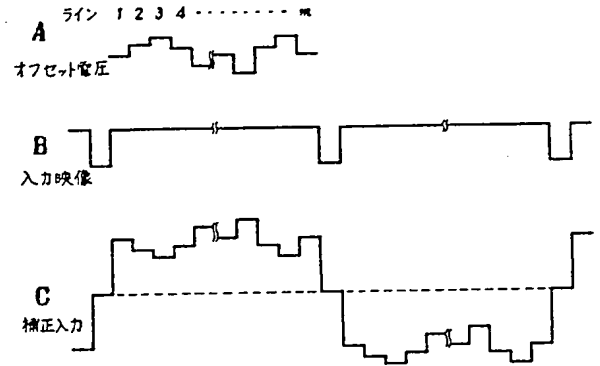
この発明によれば、入力信号にオフセットに相当する電圧を重畳して供給することにより、装置内でのオフセット電圧が相殺され、簡単な構成で輝度むら等の無い良好な表示画像を得ることができるようになった。

図面の簡単な説明

第1図は本発明の一例の構成図、第2図はその説明のため図、第3図～第7図は従来の装置の説明のための図である。

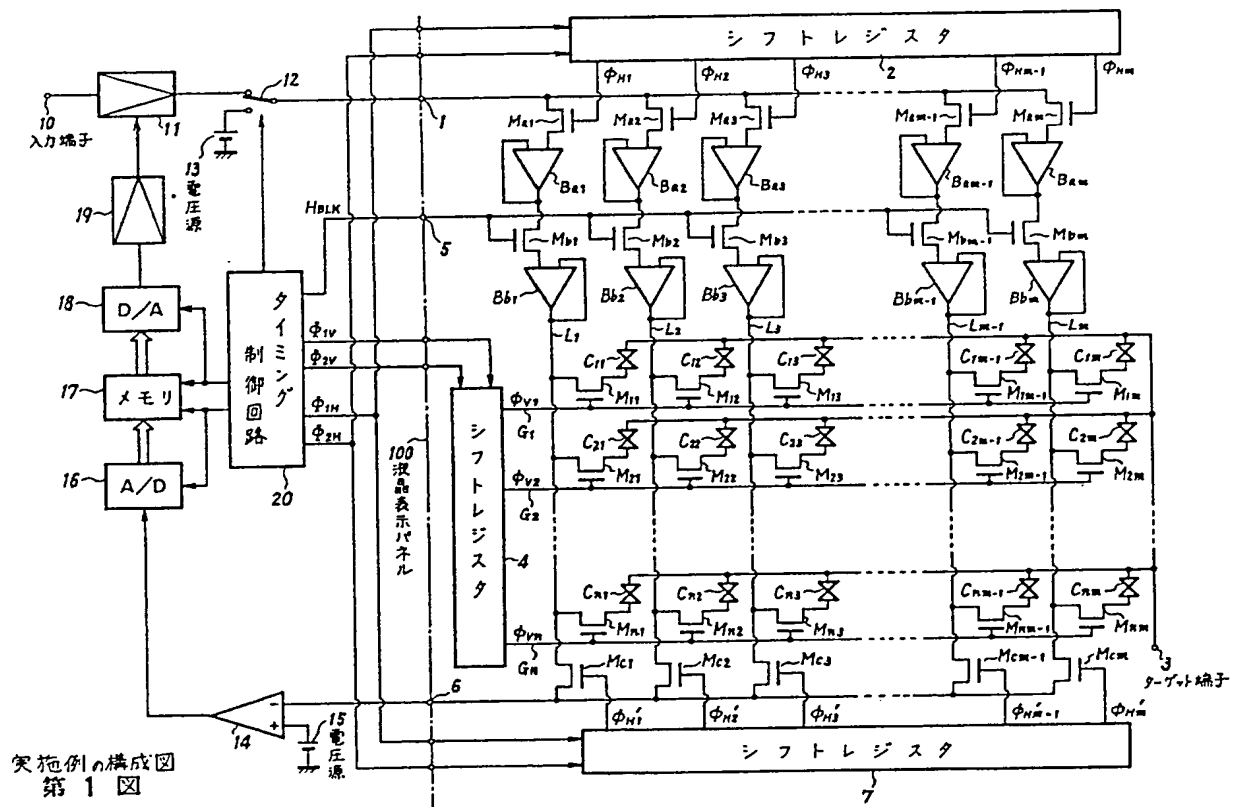
$L_1 \sim L_m$ は垂直信号線、 $G_1 \sim G_n$ はゲート

線、 $M_{a1} \sim M_{am}$, $M_{b1} \sim M_{bm}$, $M_{c1} \sim M_{cm}$, $M_{i1} \sim M_{im}$ はスイッチング素子、 $B_{a1} \sim B_{am}$, $B_{b1} \sim B_{bm}$ はバッファアンプ、 $C_{11} \sim C_{nm}$ は液晶セル、(1)(3)(5)(6)は端子、(2)(4)(7)はシフトレジスタ、(10)は入力端子、(11)(14)(19)はアンプ、(12)はスイッチ、(13)(15)は電圧源、(16)はA/D変換器、(17)はメモリ、(18)はD/A変換器、(20)はタイミング制御回路、(100)は液晶表示パネルである。



代理人 松隈秀盛

説明図
第2図



実施例の構成図
第1図

